

**JUNCTION-TYPE FIELD-EFFECT TRANSISTOR**

**Publication Number:** 63-128759 (JP 63128759 A) , June 01, 1988

**Inventors:**

- MIURA SHUICHI

**Applicants**

- FUJITSU LTD (A Japanese Company or Corporation), JP (Japan)

**Application Number:** 61-274117 (JP 86274117) , November 19, 1986

**International Class (IPC Edition 4):**

- H01L-029/80

**JAPIO Class:**

- 42.2 (ELECTRONICS--- Solid State Components)

**JAPIO Keywords:**

- R095 (ELECTRONIC MATERIALS--- Semiconductor Mixed Crystals)

**Abstract:**

**PURPOSE:** To eliminate the need to strictly control the diffusion of Zn during a manufacturing process and to surely stop the mesa etching process for a gate layer and a gate region on the surface of a channel layer by a method wherein an InP gate layer of low impurity-concentration or an undoped InP gate layer is formed on an n-type InGaAs channel layer and the Zn is diffused into the gate layer so as to form a p(sup +) type InP gate region.

**CONSTITUTION:** An n-type InGaAs channel layer 2 and an n(sup -) type InP gate layer 8 are formed on a semi-insulating InP substrate 1; a p(sup +) type InP gate region 9 is formed by diffusing Zn into the gate layer 8; the gate region 9 is mesa-etched by making use of a gate electrode 4 as a mask. During this process, it is sufficient to diffuse the Zn down to an appropriate depth as long as the Zn does not invade the n-type InGaAs channel layer 2, and it is not required at all to control the depth strictly. The diffusing speed of the Zn to InGaAs is remarkably slow; when the p(sup +) type InP gate region 9 and the n(sup -) type InP gate layer 8 are mesa-etched, the etching process is stopped surely on the surface of a substrate layer. (From: *Patent Abstracts of Japan*, Section: E, Section No. 668, Vol. 12, No. 385, Pg. 82, October 14, 1988 )

**JAPIO**

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 2511859

⑫ 公開特許公報(A)

昭63-128759

⑬ Int. Cl.<sup>4</sup>  
H 01 L 29/80

識別記号 庁内整理番号  
C-8122-5F

⑭ 公開 昭和63年(1988)6月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 接合型電界効果トランジスタ

⑯ 特 願 昭61-274117

⑰ 出 願 昭61(1986)11月19日

⑱ 発 明 者 三 浦 秀 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 柏谷 昭司 外1名

明 細 書

1 発明の名称

接合型電界効果トランジスタ

2 特許請求の範囲

基板上に形成されたn型のInGaAsからなるチャネル層と、

該n型InGaAsチャネル層上に形成され且つそれと比較して不純物濃度が低いInPゲート層と、

該InPゲート層にZnを拡散して形成したp<sup>+</sup>型InPゲート領域とを備えてなることを特徴とする接合型電界効果トランジスタ。

3 発明の詳細な説明

(概要)

本発明は、接合型電界効果トランジスタに於いて、n型InGaAsチャネル層の上に不純物濃度が低いか或いはアン・ドープのInPゲート層を形成し、そのゲート層にZnを拡散してp<sup>+</sup>型InPゲート領域を形成した構成とすることに依

り、Zn拡散の厳密な制御は不要となり、また、ゲート層及びゲート領域のメサ・エッチングはチャネル層表面で確実に停止させることが可能となり、その結果、特性が著しく向上したものとなった。

(産業上の利用分野)

本発明は、光集積回路(optoelectronic integrated circuit: OEIC)に組み込むのに好適な接合型電界効果トランジスタに関する。

(従来の技術)

近年、OEICの研究・開発が盛んであり、そこに組み込む半導体電子素子としては、半導体光素子との兼ね合いから、材料として化合物半導体を用いたものが選択されることは勿論であり、その外、高速化しなければならないことからキャリア移動度が高く且つ光伝送路に依る損失が少ない波長領域で動作するものであること等の条件を満たす必要があり、従って、具体的には、GaAs/AlGaAs系よりもInP/InGaAs系

を用いる傾向にある。

第2図は従来のO E I Cに用いられている代表的な接合型電界効果トランジスタの要部切断側面図を表している。

図に於いて、1は半絶縁性I n P基板、2はn型I n G a A sチャネル層、3はp<sup>+</sup>型I n G a A sゲート層、4はゲート電極、5はソース電極、6はドレイン電極、7はゲート電極をそれぞれ示している。

前記各部分の主要データを例示すると次の通りである。

(1) チャネル層2について

厚さ: 0.2 (μm)

不純物濃度:  $1 \times 10^{17}$  (cm<sup>-3</sup>)

(2) ゲート層3について

厚さ: 0.2 (μm)

不純物: Zn

不純物濃度:  $> 1 \times 10^{18}$  (cm<sup>-3</sup>)

(3) ゲート電極4について

材料: Au/Pt/Ti

厚さ: 2500 (Å) / 200 (Å) / 300 (Å)

(4) ソース電極5及びドレイン電極6

材料: Au/AuGe

厚さ: 2700 (Å) / 300 (Å)

(5) ゲート電極7

材料: ソース電極5及びドレイン電極6と同じ

厚さ: ソース電極5及びドレイン電極6と同じ

前記説明した接合型電界効果トランジスタを製造する場合、半絶縁性I n P基板1上にn型I n G a A sチャネル層2を厚さ0.4 (μm)に形成し、そのn型I n G a A sチャネル層2にZnを深さ0.2 (μm)に拡散してp<sup>+</sup>型I n G a A sゲート層3を形成し、そのゲート層3の上にゲート電極4を形成し、ゲート電極4をマスクとしてゲート層3のメサ・エッチング及びサイド・エッチングを行ってチャネル層2の一部表面を露出させ、その後、ゲート電極5及びドレイン電極6を形成する。尚、この際、ゲート電極4はゲート電極7で覆われる。

〔発明が解決しようとする問題点〕

前記した通り、第2図に見られるトランジスタを製造するに際しては、チャネル層2にZnを拡散してゲート層3を形成するようにしているが、このZnを拡散する場合の制御性は大変悪く、そして、そのようにp<sup>+</sup>型化したI n G a A s層をメサ・エッチングする場合も、その下地が同じくI n G a A s層である為、これも制御性が悪いものになっている。

本発明は、Znの拡散に制御性の問題が存在しても、その影響を受けないようにしたり、また、メサ・エッチングに制御性の問題が存在しても、その問題を解消する等して特性良好な接合型電界効果トランジスタが得られるようにする。

〔問題点を解決するための手段〕

本発明に依る接合型電界効果トランジスタに於いては、基板(例えば半絶縁性I n P基板1)上に形成されたn型のI n G a A sからなるチャネル層(例えばn型I n G a A sチャネル層2)と、該n型I n G a A sチャネル層上に形成され且つ

それと比較して不純物濃度が低いI n Pゲート層(例えばn<sup>-</sup>型I n Pゲート層8)と、該I n Pゲート層にZnを拡散して形成したp<sup>+</sup>型I n Pゲート領域(例えばp<sup>+</sup>型I n Pゲート領域9)とを備えている。

〔作用〕

前記の構成を採ることに依り、製造時に於けるZn拡散の厳密な制御は不要となり、若し、Zn拡散の制御性が悪くてn型I n G a A sチャネル層の上にI n Pゲート層が残ったとしても、動作状態では、そのI n Pゲート層が空乏化するので全く問題はなく、また、ゲート層及びゲート領域のメサ・エッチングはチャネル層表面で確実に停止させることが可能であり、その結果、特性は良好なものとなる。

〔実施例〕

第1図は本発明一実施例の要部切断側面図を表し、第2図に於いて用いた記号と同記号は同部分を示すか或いは同じ意味を持つものとする。

図に於いて、8はn<sup>-</sup>型I n Pゲート層、9は

p<sup>+</sup>型InPゲート領域をそれぞれ示している。

各部分に於ける主要データを例示すると次の通りである。

(1) ゲート層8について

厚さ: 0.2 (μm)

不純物: S

不純物濃度:  $1 \times 10^{15}$  (cm<sup>-3</sup>)

尚、アン・ドープでも良い。

(2) ゲート領域9について

深さ: 0.2 (μm)

不純物: Zn

不純物濃度:  $1 \times 10^{18}$  (cm<sup>-3</sup>)

尚、この実施例に於けるn型InGaAsチャネル層2としては、具体的には、n型のIn<sub>0.53</sub>Ga<sub>0.47</sub>Asを用いている。

本実施例のトランジスタを製造する場合、半絶縁性InP基板1上にn型InGaAsチャネル層2及びn<sup>-</sup>型InPゲート層8を形成し、ゲート層8にZnを拡散してp<sup>+</sup>型InPゲート領域9を形成し、そのゲート領域9をゲート電極4を

マスクとしてメサ・エッチングするようにしている。

この場合、Znの拡散はn型InGaAsチャネル層2に侵入しないようにしさえすれば、適宜の深さとなるように拡散すれば良く、その厳密な制御は全く必要としない。その理由は、例えば、図示されているように、p<sup>+</sup>型InPゲート領域9の下にn<sup>-</sup>型InPゲート層8が残っていたとしても、本実施例を動作させた場合、そのn<sup>-</sup>型InPゲート層8は空乏化することに依る。

また、InGaAsに対してZnが拡散する速さは、InPに対するそれと比較して格段に遅いので、拡散が深くなり過ぎることは殆どない。

また、p<sup>+</sup>型InPゲート領域9並びにn<sup>-</sup>型InPゲート層8をメサ・エッチングする場合、下地がn型InGaAsチャネル層2である為、そのメサ・エッチングは、下地表面で確実に停止する。因に、InPのエッチャントは、通常、HCl + H<sub>2</sub>Oであり、また、InGaAsのそれは、H<sub>2</sub>SO<sub>4</sub> + H<sub>2</sub>O<sub>2</sub> + H<sub>2</sub>Oである。

#### (発明の効果)

本発明の接合型電界効果トランジスタに於いては、n型InGaAsチャネル層の上に不純物濃度が低いか或いはアン・ドープのInPゲート層を形成し、そのゲート層にZnを拡散してp<sup>+</sup>型InPゲート領域を形成した構成になっている。

前記の構成を採ることに依り、製造時に於けるZn拡散の厳密な制御は不要となり、若し、Zn拡散の制御性が悪くてn型InGaAsチャネル層の上にInPゲート層が残ったとしても、動作状態では、そのInPゲート層が空乏化するので全く問題はなく、また、ゲート層及びゲート領域のメサ・エッチングはチャネル層表面で確実に停止させることが可能であり、その結果、特性は良好なものとなる。

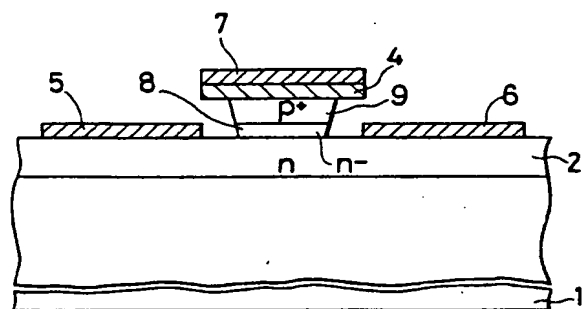
#### 4 図面の簡単な説明

第1図は本発明一実施例の要部切断側面図、第2図は従来例の要部切断側面図をそれぞれ表している。

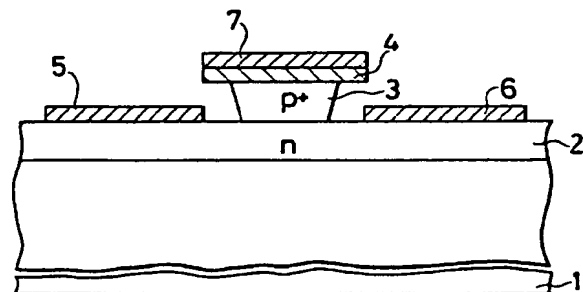
図に於いて、1は半絶縁性InP基板、2はn

型InGaAsチャネル層、3はp<sup>+</sup>型InPゲート層、4はゲート電極、5はソース電極、6はドレイン電極、7はゲート電極、8はn<sup>-</sup>型InPゲート層、9はp<sup>+</sup>型InPゲート領域をそれぞれ示している。

特許出願人	富士通株式会社
代理人弁理士	柏谷昭司
代理人弁理士	渡邊弘一



実施例の要部切断側面図  
第 1 図



従来例の要部切断側面図  
第 2 図